

DMPの先進モバイルグラフィックス技術

株式会社デジタルメディアプロフェッショナル
大淵 栄作

18/Nov/2011

- 製品紹介
- 各分野の先進技術ご紹介



本日のアジェンダ

DMP グラフィックスIPソリューション

■ 組込み機器向け高性能・低消費電力グラフィックスIP コア

- 高性能2D/3DグラフィックスIP
- 低電力モバイルから高性能アミューズメントまでサポート
- ビルディング・ブロック構造によるスケーラブルなアーキテクチャ



フォトリアリスティック
3DグラフィックスIPコア
(OpenGL ES 1.1 互換 + 独自拡張)
PICA200



標準3DグラフィックスIPコア
PICA200Lite (OpenGL ES 1.1)
SMAPH-S (OpenGL ES 2.0)



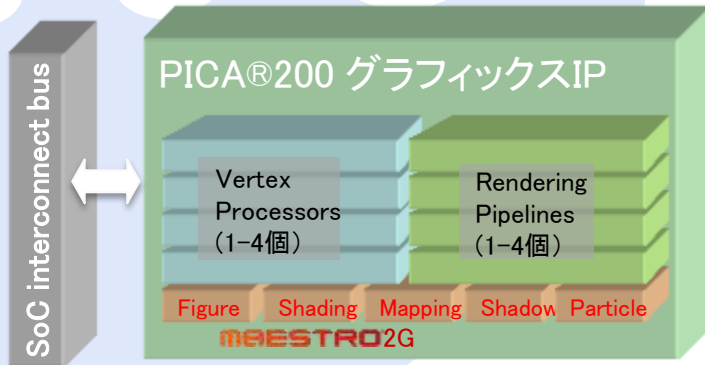
OpenVG 1.1対応
ベクターグラフィックスIPコア
SMAPH-F

標準VG,3DグラフィックスIPコア
SMAPH-H (OpenGL ES 1.1, OpenVG1.1)

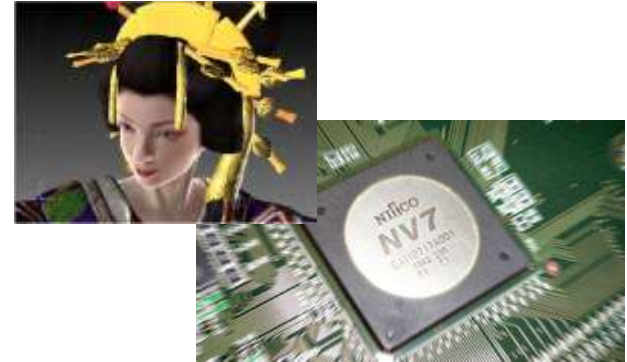
PICA200

■ 組み込み機器向けグラフィックスIP コア

- 高性能2D/3DグラフィックスIP
- 低電力モバイルから高性能アミューズメンまでサポートする
ビルディング・ブロック構造によるスケーラブルなアーキテクチャ
- **OpenGL ES 1.1**準拠(認定済み) & 拡張パック
- DMP **MAESTRO™ 2G**(第二世代)搭載



(企業部門 最高賞)



PICA200 Lite / PICA200 for FPGA

● 特徴

- 実績あるPICA200をベースに、OpenGL ES1.1に最適なハードウェアをご提供
- リアルタイム3Dグラフィックスによる高度なHMI(HumanMachineInterface) を実現
- コンシューマエレクトロニクス製品向けSoCや航空機向けFPGAなどで実績
- 業界標準インターコネクタバスサポート: AXI, OCP
- 階層的なクロック制御による低消費電力化



SMAPH-F

● 特徴

- コンパクトかつ低消費電力なOpenVG1.1準拠IPコア
- 業界最高レベルの描画性能を実現
- 大手車載機器、コンシューマ製品向けSoCなどでライセンス実績
- SVG, Flash Liteを高速アクセラレーション
- 業界標準インターコネクティブサポート: AXI, OCP
- 階層的なクロック制御による低消費電力化



デジタルカメラ向けUIデモ
(エイチアイ様との共同開発)

SMAPH-H

- 特徴

- OpenGL ES 1.1, OpenVG 1.1機能を1コアで実現
- PICA200Lite, SMAPH-Fの性能、機能を保持したまま、ゲートサイズを最適化

- 業界標準インターコネクティブサポート: OCP, AXI
- 階層的なクロック制御による低消費電力化



SMAPH-S

● 特徴

- OpenGL ES 2.0準拠したプログラマブルシェーダ対応グラフィックスコア
 - » シェーダプログラムによる柔軟かつ高品質な描画を実現
 - » オープン環境(e.g. Android)でのグラフィックスアクセラレーションに最適
 - » スケーラブルアーキテクチャ(シェーダプロセッサ並列度: 2から24まで可変)によりモバイル機器からフルHD1080p以上の高解像度アプリケーションをカバー
- オプション
 - OpenGLES1.1/OpenVG1.1対応
 - DMP Maestro拡張機能
- 業界標準インターコネクタバスサポート: AXI, OCP
- 階層的なクロック制御による低消費電力化



IP技術



DMPコアコンピタンス

● Maestro: DMPグラフィックス差別化技術

- 低消費電力 + 高機能・高性能を両立を目的にグラフィックス技術を開発
 - › ユーザーニーズに適合した独自表現方法(Configurable shader)
 - › 少ないデータ量、バス帯域、コンテンツサイズで豊かなCG表現を実現
 - › 実装アルゴリズム最適化による、低消費電力ハードウェア
 - › スケーラブルなアーキテクチャー(ローエンドからハイエンドまで対応可能)

● 実現に必要な要件

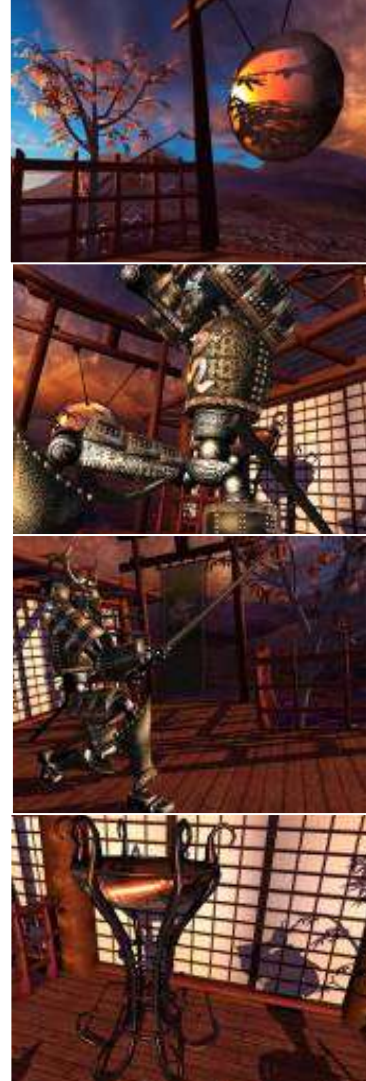
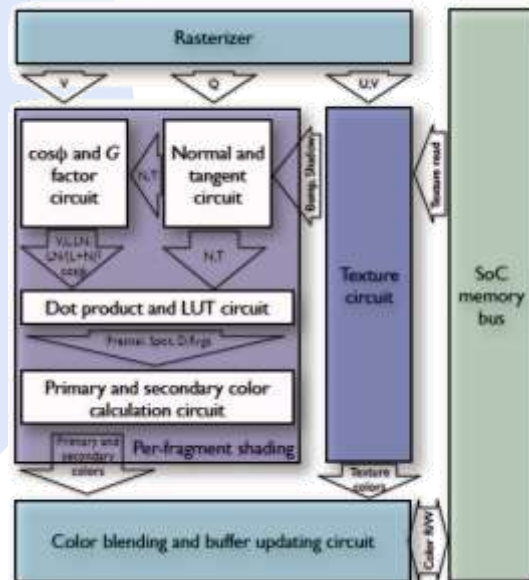
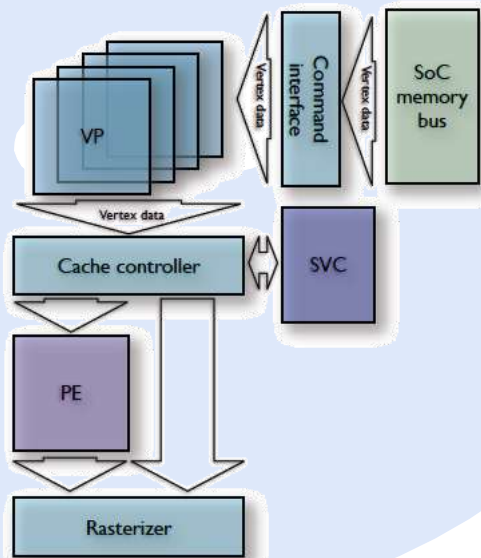
- ハードウェア向け独自アルゴリズム開発
- システム目線でのグラフィックス実装最適化
- コンテンツからハードウェアまで一貫した自社開発

PICA200 - 中身を少し紹介

- High Performance Graphics 2011発表 (Aug/2011)

- M. Kazakov and E. Ohbuchi., Primitive processing and advanced shading architecture for embedded space. In *Proceedings of the ACM SIGGRAPH Symposium on High Performance Graphics (HPG '11)*, 169-176.

- この論文の中で、ジオメトリプロセッサ、コンフィグラブルフラグメントプロセッサについて紹介



PICA200 - 設計目標

- 組み込みシステムで高品位なグラフィックスを提供したい
 - 3Dグラフィックスアルゴリズムの共通項をモデリングを行いこのモデルを実現するハードウェアアクセラレータを導入
 - ジオメトリシェーダなどによるメモリバンド幅の削減の仕掛けを導入



この結果

- 低消費電力、高性能、高品質な3Dグラフィックスハードウェアを実現



PICA200 - シェーディング性能例



Shading model

Phong shading model

$$D_0 = \cos^5(N \cdot L)$$

$$G_{0,1}=1$$

Phong + bump

$$D_0 = \cos^5(N \cdot L)$$

$$G_{0,1}=1$$

Schlick anisotropic model

$$D_1 = Z(N \cdot H), R_\lambda = F_\lambda(V \cdot H)$$

$$S = A(\cos\phi), G_{0,1} = G'$$

Cook-Torrance shading model

$$D_1 = D(N \cdot H), R_\lambda = F_\lambda(V \cdot H)$$

$$G_{0,1} = G'$$

Clk/frag

1

1

4

2

SM 3.0 asm steps

35

38

61

48



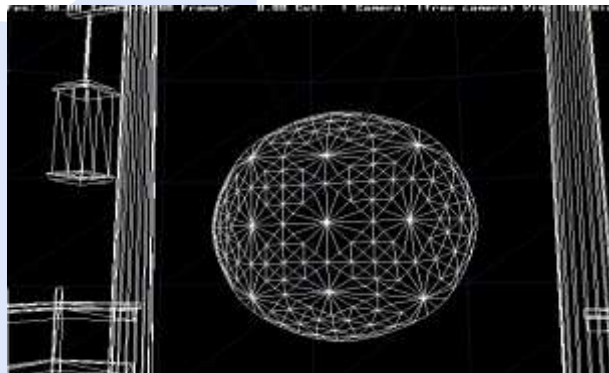
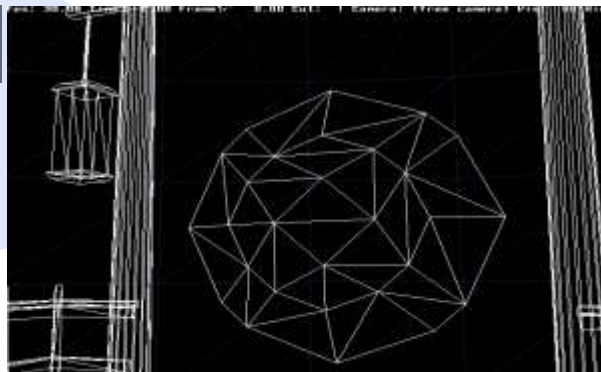


MAESTRO™

Soft edged shadow

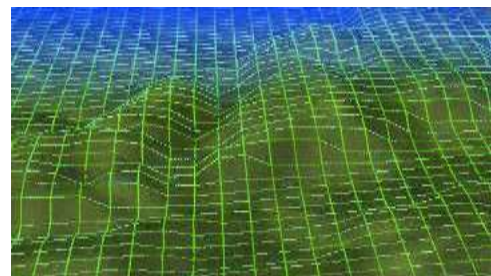
コンテンツサイズの削減

■ ジオメトリシェーダによるテッセレーション機能



入力ポリゴンデータ容量を1 / 16に削減

地形データの生成例



コンテンツサイズ削減・性能改善

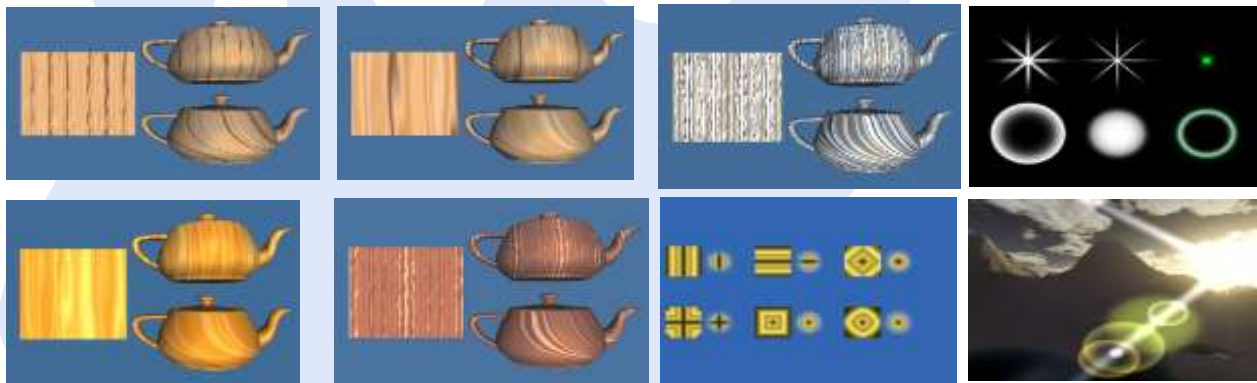
- テクスチャバッファを使わずにIP内部の回路にてテクスチャパターンを動的に生成する技術

Target texture : 256x256 (RGBA 8888) case

モード	入力テクスチャサイズ
通常のテクスチャ	256 Kbyte
プロシージャルテクスチャ	3Kbyte

入力テクスチャパターンのサイズを1 / 85 に削減

Texture synthesis examples



パターン生成例

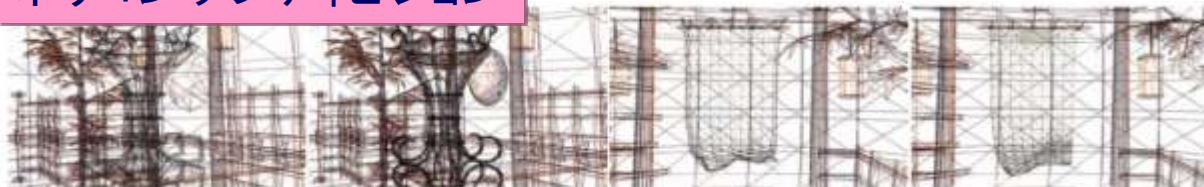


ジオメトリシェーダ機能

先端機能

- ジオメトリシェーダ機能を用いることで、ポリゴンサブディビジョンだけではなく、様々な形状生成処理をGPUでアクセラレーション可能

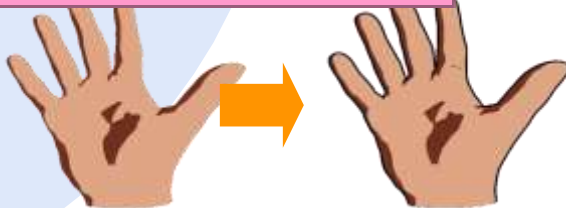
ポリゴンサブディビジョン



シャドウシルエット生成



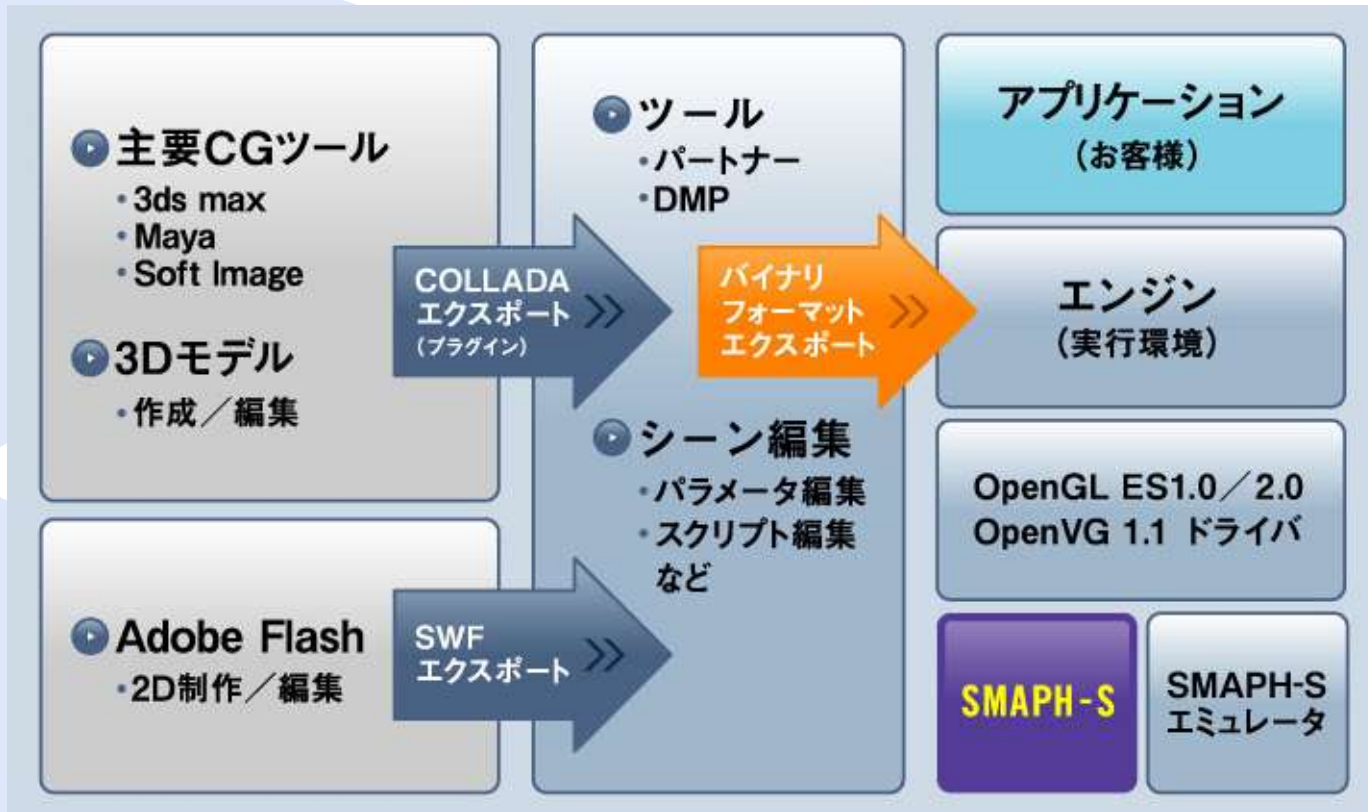
アウトラインエッジ生成



SDK・ツール

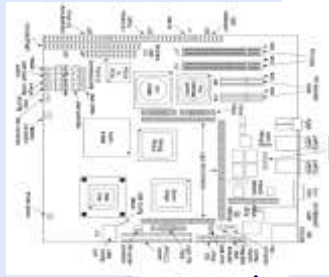


提供可能ソフトウェア群 (e.g. SMAPH-S)



評価環境

ARM評価ボード+SMAPH-S実装FPGAボード



ARM評価ボード



SMAPH-S搭載FPGAボード

PCIe

富士通セミコンダクター様 MB8AC0300

GbE (1000/100BASE-T)
with NOE

USB 3.0 Function

SATA2 Gen2

PCI Express Gen2
Root Complex

◀FPGA ボード接続用▶

ARM Cortex 評価チップ

ボードサイズ
260mm×170mm×50mm



デバッグ用
◀JTAG/TRACE▶

SDスロット

PCI Express Gen2エンドポイント
◀外部マスタ接続用▶

システム技術



IPコア検証環境

- IPコア検証にあたりケイデンス社Palladiumによる高速エミュレーションを使用
 - IPコアのシミュレーション時間を大幅に短縮
 - RTLシミュレーション(NC-Verilog)で約210日かかるリグレーションテストを3日で実施
- 導入により
 - 品質の大幅な向上
 - お客様からのカスタマイズ要望に迅速かつ確実に対応

LSI実績多数
(全てファーストパスで
Si動作を達成)



ESLソリューション

ARM-SoC開発ソリューション

デザインサービスCedar[®]-ESL ESL+プロトタイプ Co-Simulation

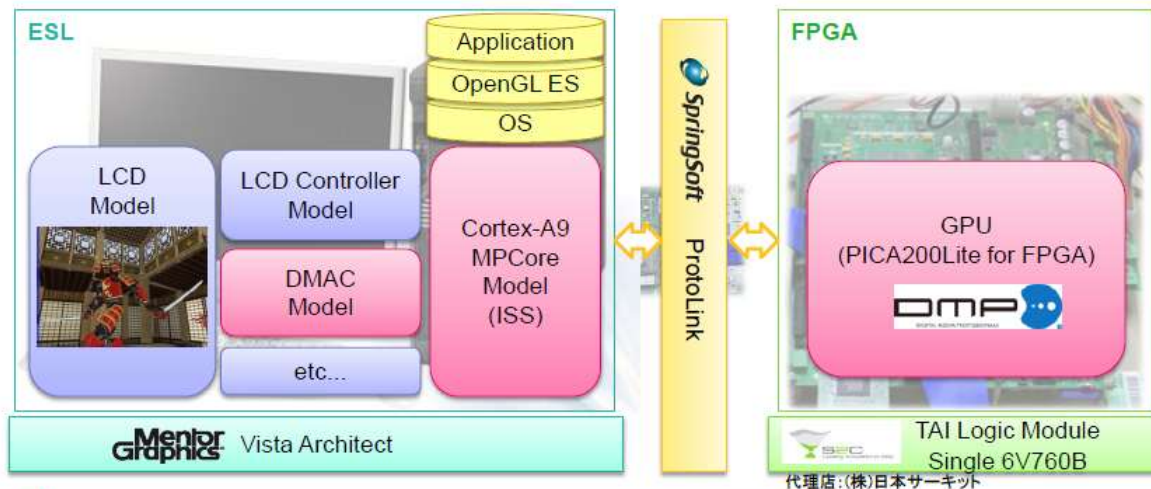
- 富士通セミコンダクタ様とESL環境を共同開発

■ ソフトウェアドリブン性能検証

ESLとFPGAの連携により、高速化を実現したことで、仮想環境でのシステム動作が可能となり、事前にSoCアーキテクチャの最適化検討が行えます。

■ 利用例

- ・ GPUコアを含むシステム動作検証と、SoCの最適アーキテクチャ探索

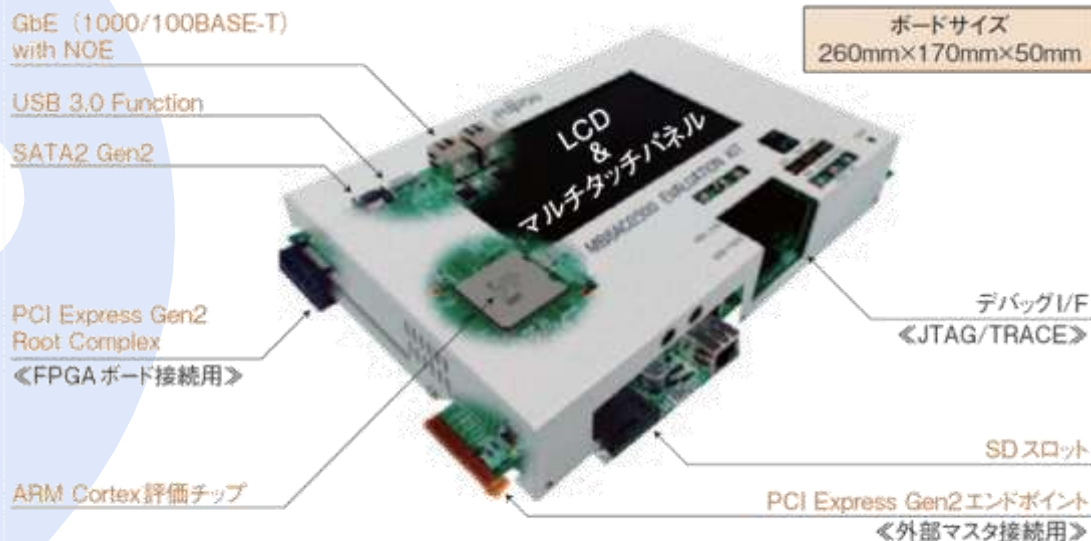


FUJITSU 富士通セミコンダクター株式会社

Copyright 2011 FUJITSU SEMICONDUCTOR LIMITED

評価環境：ARM ASICプラットフォーム

- 富士通セミコンダクタ様評価環境
 - 3つのDMPグラフィックスIPコアを搭載
 - SMAPH-S
(OpenGLES2.0)
 - PICA200Lite
(OpenGLES1.1)
 - SMAPH-F
(OpenVG1.1)



FPGAソリューション: ザイリンクス アライアンス プログラム

DMPはザイリンクス アライアンス プログラムのメンバー認証企業です。

- PICA200 for FPGAをアライアンス・コアとして登録
- 今後、登録IPコアを随時追加の予定
- 契約形態: SignOnce ライセンス



XILINX

ALLIANCE PROGRAM

Product & Services Technology Solutions Market Solutions Support Buy Online About Xilinx

Home Product & Services Intellectual Property

OpenGL ES 1.1 3D Graphics Processor for FPGA

Product Information IP Implementation and Quality Metrics

DMP
View Partner Profile

Request Info

Part Number: D-0307-0000h
Licensee: SignOnce
Alliance Program Tier: Member
Product Type: Core

Target Markets

- Aerospace & Defense
- Broadcast
- Industrial/Scientific/Medical
- Consumer

Device Family Support

- Virtex-6 HXT
- Virtex-6
- Virtex-6 GXT
- Virtex-6 SXT
- Virtex-5
- Virtex-5 LX

業界初のFPGA向け
OpenGL ES 1.1対応フル3DグラフィックスIPコアPICA200 for FPGA登録済み

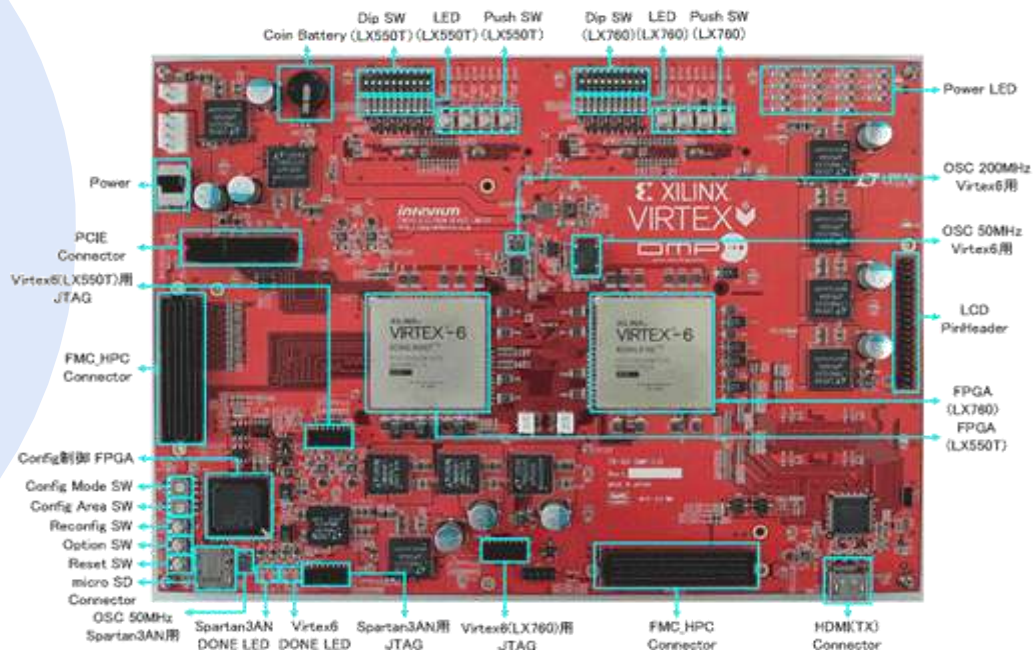
クリック!

DMPグラフィックスIP FPGA評価キット

- グラフィックスIPコア搭載SoC向けFPGAプロトタイプング
- グラフィックスIPコア搭載量産FPGA向けリファレンス環境
- グラフィックス・ソフトウェアの開発環境

Xilinx 社製FPGA Virtex6 シリーズ
「LX550T」、「LX760」搭載
PCIe × 4 Gen1 対応
FMC コネクタ(High-Pin Count) x2
DDR3 SDRAM (SODIMM) × 2
HDMI出力

ハードとソフトの両面で、お客様の製
品開発を支援



サポート



サポート体制

- 充実した技術サポート
 - お客様の要望に基づいたHWカスタマイズ
 - 経験豊かなエンジニアによるSWサポート
 - お客様向け技術セミナーの開催
- 高度な検証環境
 - 大規模FPGA、高速エミュレータ等を用いた検証
 - 開発・カスタマイズに迅速対応、短TAT化
- 豊富なシステムレベルの最適化実績
 - SoC開発時に性能確認シミュレーションの実施
 - システムを考慮したドライバ最適化や顧客アプリケーションへのコンサルテーション
- ツールを含めたソリューション提供
 - DMPパートナーの各種3rd Party製ツールに対応可能
- 日本・米国を拠点にW/Wのサポートの提供

TSMCソフトIPアライアンスへの参加

- 国内で初めてのTSMCのソフトIPアライアンスプログラムへの参加
 - TSMCソフトアライアンスプログラムはTSMC Open Innovation Platform Initiativeを通じてソフトIPの品質を保証し、再利用を推進
 - 本プログラムにより、先進プロセス技術でのソフトIPを使用する上で重要な要素となる、電力、性能、面積(コスト)の最適化を支援
- DMPグラフィックスIPコアはこのプログラムを通じてTSMCの高い品質基準をクリア

Khronos公認OpenGL ESトレーニングコース

■ 会場

- 株式会社デジタルメディアプロフェッショナル
(JR三鷹駅徒歩2分) セミナールーム

■ 開催スケジュール

- OpenGL ESプログラミング・トレーニング I
 - 2012年1月12日(木)～13日(金) 10:00～17:00
- OpenGL ESプログラミング・トレーニング II
 - 2012年1月19日(木)～20日(金) 10:00～17:00
- GLSLシェーダプログラミング 基礎コース
 - 2011年12月21日(水)～22日(木) 10:00～17:00

- 詳細は - www.dmprof.com または
<http://www.khronos.org/news/events/>をご覧ください



Android 3Dグラフィックス・ラーニングキット

- Android上で、組み込み用途向け標準3DグラフィックスAPIであるOpenGL ESを使用したプログラミングの基礎を学習します。
 - キット名: Android 3Dグラフィックス・ラーニングキット
 - 利用料金: 4,998円(税込)
 - 利用期間: 1年間
 - ページ数: 231ページ
 - 再生時間: 約4時間

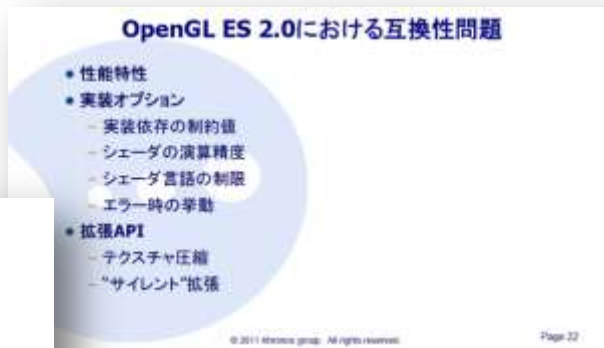
英語版も
販売開始!



- 詳細は www.dmprof.com をご覧ください。

無料のマテリアル

- Khronos関連セッションでの発表資料・ソースコードを公開
- 詳細は www.dmprof.com内、新着情報をご覧ください。
- e.g. Visualization Conference2011 (日本語で公開)



最後に

ご清聴ありがとうございました。

Embedded Technology 2011

